



Docket No.: MUH-12869

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By:

Date: January 7, 2004

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/723,907
Applicant : Marie Denison
Filed : November 26, 2003
Art Unit : to be assigned
Examiner : to be assigned

Docket No. : MUH-12869
Customer No.: 24131

CLAIM FOR PRIORITY

Mail Stop: Missing Parts
Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 55 116.2 filed November 26, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

GREGORY L. MAYBACK
REG. NO. 40,716

Date: January 7, 2004

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 55 116.2
Anmeldetag: 26. November 2002
Anmelder/Inhaber: Infineon Technologies AG, München/DE
Bezeichnung: LDMOS-Transistor
IPC: H 01 L 29/78

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 14. November 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

MÜLLER • HOFFMANN & PARTNER – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17
D-81667 München

Anwaltsakte:	12347	Ko/mk
Anmelderzeichen:	2002P13399 DE (2002 E 13186 DE)	26.11.2002

Infineon Technologies AG

St.-Martin-Straße 53
81669 München

LDMOS-Transistor

Beschreibung

LDMOS-Transistor

5 Die vorliegende Erfinlung betrifft einen lateral doppeldif-
fundierten MOS-Feldeffekttransistor, kurz auch LDMOS-
Transistor genannt, mit einer in einer Halbleiterschicht des
einen Leitungstyps vorgesehenen Bodyzone des anderen, zum
einen Leitungstyp entgegengesetzten Leitungstyps, einer in
10 der Bodyzone gelegenen hochdotierten Sourcezone des einen
Leitungstyps, einer in der Halbleiterschicht im Abstand von
der Bodyzone vorgesehenen hochdotierten Drain-Anschlusszone
des einen Leitungstyps und einem Gate, zu dem die Bodyzone
selbstjustiert ist.

15 In Fig. 5 ist in einer Schnittdarstellung ein herkömmlicher
LDMOS-Transistor mit einem n-Kanal gezeigt (vgl. hierzu T.
Efland: Lateral DMOS Structure Development for Advanced
Power Technologies in TI Technical Journal, März-April 1994,
20 S. 10-24). Bei einem p-Kanal-Transistor sind die angegebenen
Leitungstypen umgekehrt. Der Transistor selbst kann in einer
epitaktischen Schicht, die auf einem Halbleitersubstrat auf-
gebracht ist, vorgesehen sein. Dabei kann eine hochdotierte
vergraben Schicht ("Buried Layer") zwischen dem Halbleiter-
substrat und der epitaktischen Schicht liegen. Dieser Buried
25 Layer, der gegebenenfalls auch weggelassen werden kann, kann
den zum Leitungstyp der epitaktischen Schicht gleichen oder
entgegengesetzten Leitungstyp haben. Das Halbleitersubstrat
hat vorzugsweise den zum Leitungstyp der epitaktischen
Schicht entgegengesetzten Leitungstyp. Im Folgenden soll zur
Vereinfachung der Darstellung von einem n-Kanal-Transistor
ausgegangen werden, obwohl selbstverständlich auch der umge-
kehrte Leitungstyp und weitere Varianten möglich sind. Als
Halbleitermaterial für den Transistor soll Silizium angenom-
men werden. Anstelle von Silizium kann aber auch ein anderes

Halbleitermaterial, wie beispielsweise Siliziumcarbid, Verbindungs halbleiter usw. vorgesehen sein.

Bei dem herkömmlichen LDMOS-Transistor von Fig. 5 ist auf
5 einem p-leitenden Siliziumsubstrat 1 eine n-leitende epitaktische Siliziumschicht 2 vorgesehen. Zwischen dem Siliziumsubstrat 1 und der epitaktischen Schicht 2 liegt ein n⁺-leitender Buried Layer (vergrabene Schicht) 3. Der Buried Layer 3 kann durch Implantation und Diffusion in das Substrat 1 vor Abscheidung der epitaktischen Schicht 2 und Ausdiffusion nach Abscheidung der Schicht 2 gebildet sein.

In der epitaktischen Schicht 2 befinden sich eine p-leitende Bodyzone 4 mit einem p⁺-leitenden Body-Anschlussgebiet 5 und
15 einer n⁺-leitenden Sourcezone 6, an die sich unterhalb von polykristallinem Silizium von Gate 11 ein Kanal in der Bodyzone 4 anschließt. Außerdem ist im Abstand von der Bodyzone 4 eine stärker als die epitaktische Schicht 2 dotierte n-leitende Pufferzone 7 mit einem n⁺-leitenden Drain-Anschlussgebiet 8 vorgesehen. Die Zone 7 und/oder das Anschlussgebiet 8 können gegebenenfalls auch weggelassen werden. Auf einer dicken Isolierschicht 9 aus Feldoxid aus beispielweise Siliziumdioxid und auf einer dünnen Isolierschicht 10 aus Gateoxid, wie beispielsweise ebenfalls Siliziumdioxid,
20 befindet sich Gate 11 aus polykristallinem Silizium oder auch einem anderen geeigneten leitenden Material.

Das Body-Anschlussgebiet 5 ist mit einer Bodyelektrode B versehen, während die Sourcezone 6 mit einer Sourceelektrode S verbunden ist. Die Bodyelektrode und die Sourceelektrode sind in bevorzugter Weise zu einer Elektrode S zusammenge schlossen. Gate 11 ist mit einer Gateelektrode G versehen, während das Drain-Anschlussgebiet 8 an eine Drainelektrode D angeschlossen ist.

Der Strompfad zwischen der Sourceelektrode S und der Drainelektrode D ist durch einen Widerstand R veranschaulicht. Der Widerstandswert dieses Widerstandes R hängt von der an Gate 11 liegenden Spannung Vgs (Vgs = Gate-Source-Spannung) ab.

5 Das Kanalgebiet in der Bodyzone 4 ist schematisch durch den entsprechenden Teil des Symbols eines MOS-Feldeffekttransistors dargestellt.

Bei dem LDMOS von Fig. 4 sind die Bodyzone 4 und die Sourcezone 6 selbstjustiert über ein Loch in der Gate 11 bildenden polykristallinen Siliziumschicht implantiert, so dass die Länge des Kanals zwischen der Sourcezone 6 und der epitaktischen Schicht 2 in der Bodyzone 4 sich aus der differentiellen Ausdiffusion der Sourcezone 6 und der Bodyzone 4 nach 10 deren Implantation ergibt. Drain besteht aus dem Gebiet in der epitaktischen Schicht 2 unterhalb der dicken Isolierschicht 9, der Pufferzone 7 und dem Drain-Anschlussgebiet 8. Die Pufferzone 7 und das Drain-Anschlussgebiet 8 können dabei durch verschiedene Implantationen eines n-leitenden Dotierstoffes, wie beispielsweise Phosphor oder Arsen, erzeugt 15 werden. Als p-leitender Dotierstoff ist Bor geeignet.

Das Konzept des in Fig. 5 dargestellten LDMOS-Transistors hat den wesentlichen Vorteil einer sehr kurzen Kanallänge im Bereich der Bodyzone 4 unterhalb der Gateelektrode G zwischen der Sourcezone 6 und dem durch die epitaktische Schicht 2 gebildeten Bereich von Drain. Außerdem sind hier die Sourcezone 6 sowie Bodyzone 4 in Bezug auf Gate 11 selbstjustiert, worauf bereits oben hingewiesen wurde. Diese Selbstjustierung 20 ist mit erheblichen Vorteilen hinsichtlich reduzierter Parameter-Streuungen für insbesondere Schwellspannung, Einschaltwiderstand usw. verbunden.

Nachteilhaft an dem LDMOS-Transistor von Fig. 4 ist aber dessen begrenzte Spannungsfestigkeit: diese ist auf einen ungünstigen Verlauf von Potentiallinien 12 zurückzuführen,

welche bei hohen, an der Drainelektrode D anliegenden Spannungen erhebliche Biegungen speziell im Bereich unterhalb der Isolierschicht 9 zeigen, so dass dort Bereiche 13 vorliegen, in welchen elektrische Durchbrüche ohne weiteres auftreten können. Bei wirtschaftlich annehmbaren Einschalt-Widerständen des LDMOS-Transistors ist so dessen Spannungsfestigkeit auf etwa 60 V begrenzt (vgl. hierzu B.I. Baliga, Modern Power Devices, 1987, Krieger Publishing Company, S. 81, 83 und 88, und s. Merchant et al, High Performance 13-65V rated LDMOS transistors in an advanced Smart Power Technology, ISPSD 1999).

Um diese begrenzte Spannungsfestigkeit zu erweitern, wurde bereits an ein alternatives Konzept gedacht, nämlich den so genannten RESURF- (REduced SURface Field-) LDMOS-Transistor, bei dem sich die Bodyzone - hier auch bei dem oben angenommenen Leitungstyp als p-Wanne bezeichnet - über die gesamte Fläche des Bauelementes hinzieht. Hierzu wird auf die Fig. 6 verwiesen, in welcher ein solcher RESURF-LDMOS-Transistor mit einer p-leitenden Wanne 14 und einer n-leitenden RESURF-Zone 15 gezeigt ist. Diese RESURF-Zone 15 erfordert eine zusätzliche Implantation und bildet eine Verbindung zwischen Source und Drain. Bei hohen Spannungen, die an der Sourceelektrode S und der Drainelektrode D anliegen, ist die RESURF-Zone 15 an Ladungsträgern vollständig verarmt, was zu einem günstigen Verlauf der Potentiallinien 12 führt. Damit ist der RESURF-LDMOS-Transistor der Fig. 6 für höhere Spannungen besser geeignet als der LDMOS-Transistor von Fig. 5.

Ein erheblicher Nachteil des RESURF-Konzeptes von Fig. 6 liegt aber darin, dass die Kanallänge zwischen der Sourcezone 6 und der RESURF-Zone 15 unterhalb des polykristallinen Siliziums von Gate 11 in der Wanne 14 nicht mehr selbstjustiert mit der Struktur des polykristallinen Siliziums ist, so dass sie im Hinblick auf niedrige Schwankungen, die fertigungsbedingt ohne weiteres auftreten können, länger ausgewählt wer-

den muss als bei dem LDMOS-Transistor von Fig. 5 (vgl. hierzu auch T. Efland a.a.O.). Es treten hier speziell Probleme infolge von Masken-Dejustagen auf.

5 Wünschenswert wäre es also, das Konzept eines optimierten Einschaltwiderstandes infolge eines selbstjustierten Kanals (vgl. Fig. 5) mit dem Konzept einer hohen Spannungsfestigkeit Dank eines optimalen Verlaufes der Potentiallinien infolge der RESURF-Wirkung (vgl. Fig. 6) zu vereinigen.

10

Um dieses Ziel zu erreichen, wurde bereits daran gedacht, die SOI-(Silicon-on-Insulator-)Technik einzusetzen, die es infolge einer Verarmung aus dem vergrabenem Oxid erlaubt, einen selbstjustierten Kanal mit hoher Spannungsfestigkeit kompatibel zu machen. Außerdem ist bereits vorgeschlagen worden, in Bulk-Silizium einen RESURF-Transistor im LDMOS-Konzept mit abgestufter Epitaxieschicht in einer Wanne vorzusehen (vgl. Merchant a.a.O.).

20 In Fig. 7 ist ein solcher RESURF-Transistor gezeigt: eine n-leitende schichtartige RESURF-Zone 15 ist hier in eine p-leitende Wanne 14' eingebettet. Die RESURF-Zone 15 wird dabei vor der Feldoxidation zur Bildung der Isolierschicht 9 flächig über den aktiven Bereich des LDMOS-Transistors implantiert. Die p-leitende Wanne 14', die zusammen mit der RESURF-Zone 15 den RESURF-Effekt ermöglicht, deckt auch den aktiven Bereich des LDMOS-Transistors bis auf ein kleines Fenster unterhalb von Drain, um einen Anschluss zur untenliegenden Schicht zu ermöglichen, ab. Die führt zu einer "doppelten" RESURF-Wirkung, bei der die Wanne 14' bei hoher anliegender Drain-Spannung auch von unten verarmt wird. Bei diesem RESURF-Transistor ist zwar der Kanal Polysilizium selbstjustiert. Die p-leitende Wanne 14' ist aber gegenüber Drain dejustiert (vgl. Dejustage δ in Fig. 7).

25

30

35

Beide Konzepte, also SOI-Technik und Bulk-Silizium, sind aber nicht überzeugend, da sie einerseits einen relativ großen Aufwand erfordern (SOI) und andererseits am RESURF-Prinzip mit den damit verbundenen Nachteilen festhalten(Bulk).

5

Ein Vorteil liegt darin, dass ein tiefer Bodybereich nicht die Siliziumoberfläche erreicht, so dass Dejustagen gegenüber Drain in geringeren Parameter-Schwankungen resultieren als bei einer Anordnung, bei der eine p-leitende Wanne ihre maximale Dotierung an der Oberfläche der Halbleiterschicht hat.

10 Beim RESURF-Effekt mit überlappenden P- und n-leitenden Wannen ist die differentielle Dotierung sehr kritisch, da eine leichte Schwankung der Dotierung einer der Wannen einen großen Einfluss auf die Verarmung hat. Mit einem tiefen Bodybereich gibt es in der Driftstrecke keine derartige Überlappung.

Es ist Aufgabe der vorliegenden Erfundung, einen LDMOS-Transistor vorzusehen, der sich bei einfacher Herstellbarkeit durch eine Selbstjustierung seines Kanals und eine hohe Spannungsfestigkeit infolge eines günstigen Verlaufes seiner Potentiallinien sowie durch niedrige Parameterschwankungen bei seiner Herstellung auszeichnet; außerdem soll ein zweckmäßiges Verfahren zum Herstellen eines solchen LDMOS-Transistors angegeben werden.

25 Diese Aufgabe wird bei einem LDMOS-Transistor der eingangs genannten Art erfundungsgemäß dadurch gelöst, dass die Bodyzone mit wenigstens einem zusätzlichen Bodybereich des anderen Leitungstyps versehen ist, der sich unterhalb von der Bodyzone in der Halbleiterschicht befindet und den seitlichen Rand der Bodyzone in Richtung auf die Drain-Anschlusszone hin überragt. Durch Bodyzone und zusätzlichen Bodybereich wird so ein "tiefer Body" gebildet.

Vorzugsweise sind anstelle eines zusätzlichen Bodybereiches mehrere zusätzliche Bodybereiche vorgesehen sind, die mit zunehmender Tiefe in der Halbleiterschicht sich weiter auf die Drain-Anschlusszone zu erstrecken. Es ist aber auch möglich,
5 dass nur ein zusätzlicher Bodybereich sich großflächig unter einer RESURF-Zone des einen Leitungstyps befindet.

Wesentlich an dem erfindungsgemäßen LDMOS-Transistor ist also, dass unterhalb der Bodyzone wenigstens ein zusätzlicher Bodybereich ausgebildet ist, der sich in Richtung auf Drain hin ausdehnt, wodurch aufgrund der Verarmung des pn-Übergangs zwischen der Halbleiterschicht und dem tiefen Body an Ladungsträgern die Potentiallinien bei hoher anliegender Drainspannung einen quasi-eindimensionalen Verlauf annehmen,
10 was für eine Optimierung der Spannungsfestigkeit wesentlich ist.
15

Bei dem erfindungsgemäßen LDMOS-Transistor bleiben die Vorteile der Selbstjustierung zwischen Gate und Kanal erhalten.

20 Es treten auch nur geringe Parameterschwankungen auf. Ein vorteilhaftes Verfahren zum Herstellen des erfindungsgemäßen LDMOS-Transistors ist in Patentanspruch 9 angegeben: Vor der Abscheidung des polykristallinen Siliziums zur Bildung von Gate wird der wenigstens eine zusätzliche Bodybereich durch tiefe Implantation realisiert. Ebenso ist es möglich, den wenigstens einen zusätzlichen Bodybereich zur Realisierung 25 des tiefen Bodys vor der Feldoxidation zur Bildung einer dicken Isolierschicht in der Halbleiterschicht einzubringen.

30 Es sei angemerkt, dass der eine Leitungstyp in bevorzugter Weise der n-Leitungstyp ist. Es kann sich aber ebenso um den p-Leitungstyp handeln. Außerdem sind als Halbleitermaterial neben Silizium auch Siliziumcarbid, Verbindungshalbleiter usw. für den erfindungsgemäßen LDMOS-Transistor anwendbar,
35 worauf eingangs bereits verwiesen wurde.

Nachfolgend wird die Erfahrung anhand der Zeichnungen näher erläutert. Es zeigen:

Fig. 1 eine Schnittdarstellung durch ein erstes Ausführungsbeispiel des erfundungsgemäßen LDMOS-Transistors,

Fig. 2 eine Schnittdarstellung durch eine Abwandlung des LDMOS-Transistors von Fig. 1,

Fig. 3 eine Schnittdarstellung durch ein weiteres Ausführungsbeispiel des erfundungsgemäßen LDMOS-Transistors,

Fig. 4 eine Schnittdarstellung durch ein weiteres Ausführungsbeispiel des erfundungsgemäßen LDMOS-Transistors,

Fig. 5 eine Schnittdarstellung durch einen herkömmlichen LDMOS-Transistor,

Fig. 6 eine Schnittdarstellung durch einen weiteren herkömmlichen RESURF-LDMOS-Transistor und

Fig. 7 eine Schnittdarstellung durch einen anderen herkömmlichen LDMOS-Transistor.

Die Fig. 5 bis 7 sind bereits eingangs näher erläutert worden.

Im Folgenden werden für einander entsprechende Bauteile jeweils die gleichen Bezugszeichen verwendet.

Fig. 1 zeigt ein erstes Ausführungsbeispiel des erfundungsgemäßen LDMOS-Transistors, das in besonders zweckmäßiger Weise die Vorteile des bestehenden LDMOS-Transistors von Fig. 5 und

des bestehenden RESURF-LDMOS-Transistors von Fig. 6 miteinander vereinigt: wie beim bestehenden LDMOS-Transistor von Fig. 5 ist auch bei dem Ausführungsbeispiel von Fig. 1 der Kanal in der Bodyzone 4 in Bezug auf das polykristalline Silizium von Gate 11 selbstjustiert. Außerdem liegt ein günstiger Verlauf der Potentiallinien 12 bei hoher, an der Drainelektrode D liegender Spannung vor, so dass eine große Spannungsfestigkeit vorhanden ist.

10 Dieses Ziel wird durch zusätzliche, p-dotierte Bodybereiche 16, 17 unterhalb der Bodyzone 4 erreicht. Diese zusätzlichen Bodybereiche 16, 17 erstrecken sich seitlich über die Bodyzone 4 hinaus und können bis unter die dicke Isolierschicht (Feldoxid) 9 reichen. Dabei ist es möglich, beispielsweise 15 nur einen zusätzlichen Bodybereich, also etwa den Bereich 16, angrenzend an die Bodyzone 4 vorzusehen. Es können aber auch mehr als zwei zusätzliche Bodybereiche 16, 17 vorhanden sein.

Wesentlich ist lediglich, dass durch diese zusätzlichen Body-
20 bereiche 16, 17, die den bereits erwähnten "tiefen Body" bilden, ein quasi-eindimensionaler Verlauf der Potentiallinien 12 bei hohen Drainspannungen erreicht wird, so dass diese Potentiallinien 12 praktisch parallel zueinander mit großem Krümmungsradius aus dem Gebiet zwischen dem tiefen Body und dem n⁺-leitenden Buried Layer 3 mehr oder weniger senkrecht nach oben auf die dicke Isolierschicht 9 zu verlaufen.

Aus Fig. 2 ist zu ersehen, dass bereits eine geringfügige 30 Ausdehnung 18 des zusätzlichen Bodybereiches 17 zu einer weiteren Glättung der Potentiallinien 12 führt und allein durch diese Ausdehnung 18 eine Erhöhung der Spannungsfestigkeit um mehrere Volt zu erreichen ist. Messungen haben gezeigt, dass bereits mit einem einzigen zusätzlichen Bodybereich, etwa dem Bodybereich 16, eine Erhöhung der Spannungs-

festigkeit erhalten wird, welche in der Größenordnung von 10 V liegt.

Die Dotierungskonzentrationen in den zusätzlichen Bodybereichen 16, 17 können in der gleichen Höhe wie die Dotierungskonzentration der Bodyzone 4 sein. Gegebenenfalls sind für diese zusätzlichen Bodybereiche 16, 17, abhängig von ihrer Ausdehnung und Gestalt, aber auch höhere oder geringere Dotierungskonzentrationen als in der Bodyzone 4 möglich. Von entscheidender Bedeutung ist lediglich, dass durch diese zusätzlichen Bodybereiche 16, 17 die gewünschte, quasi-eindimensionale Struktur der Potentiallinien 12 speziell im Bereich unterhalb der dicken Isolierschicht 9, also unterhalb des Feldoxides, eingestellt wird. Im tiefen Body ist die Dotierung jedenfalls so einzustellen, dass der eindimensionale Potentialverlauf dank der Verarmung des Überganges zwischen der epitaktischen Schicht 2 und dem Bodybereich erreicht wird.

Fig. 3 zeigt ein weiteres Ausführungsbeispiel des erfindungsgemäßen LDMOS-Transistors mit einer großflächigen n-dotierten RESURF-Zone 15' und einem ebenfalls großflächigen zusätzlichen Bodybereich 19. Auch bei diesem Ausführungsbeispiel sind die Bodyzone 4 und die Sourcezone 6 in Bezug auf das polykristalline Silizium von Gate 11 selbstjustiert, und die Potentiallinien 12 haben einen ähnlich günstigen Verlauf wie bei dem bestehenden RESURF-LDMOS-Transistor von Fig. 6. Mit anderen Worten, auch dieses Ausführungsbeispiel des erfindungsgemäßen LDMOS-Transistors zeichnet sich durch eine hohe Spannungsfestigkeit aus.

Bei der Herstellung des erfindungsgemäßen LDMOS-Transistors können die zusätzlichen Bodybereiche 16, 17 bzw. 19, die den "tiefen Body" bilden, entweder vor oder nach dem Isolationsprozess, also der Erzeugung der dicken Isolierschicht 9 (Feldoxid), gebildet werden. Bei einer Herstellung vor dem

Isolationsprozess wird eine Struktur entsprechend dem Ausführungsbeispiel von Fig. 1 erhalten, während eine Erzeugung nach dem Isolationsprozess zu einer Struktur entsprechend dem Ausführungsbeispiel von Fig. 2 führt, da hier die Ausdehnung

5 18 infolge der geringeren Eindringtiefe der Implantation unterhalb der Isolierschicht 9 gebildet wird. Beim Ausführungsbeispiel von Fig. 3 wird die Dotierung der n-leitenden RESURF-Zone 15' bei der Bildung der Bodyzone 4 durch deren hohe Dotierung gegendotiert.

10

Fig. 4 zeigt noch ein Ausführungsbeispiel des erfindungsgemäß LDMOS-Transistors, mit einem p⁺-leitenden Buried Layer 3' und nur einem zusätzlichen p-leitenden Bodybereich 16, der sich an die p-leitende Bodyzone 4 anschließt und seitlich in der n-leitenden Schicht 2 bis unter die Isolierschicht 9 erstreckt. Auch hier wird der gewünschte eindimensionale Verlauf der Potentiallinien 12 erreicht. Es sei noch ange-merkt, dass der Buried Layer 3 gegebenenfalls weggelassen werden kann.

15 20

Patentansprüche

1. LDMOS-Transistor mit

- einer in einer Halbleiterschicht (2) des einen Leitungstyps vorgesehenen Bodyzone (4) des anderen, zum einen Leitungstyp entgegengesetzten Leitungstyps,
- einer in der Bodyzone (4) gelegenen hochdotierten Sourcezone (6) des einen Leitungstyps,
- einer in der Halbleiterschicht (2) im Abstand von der Bodyzone (4) vorgesehenen hochdotierten Drain-Anschlusszone (8) des einen Leitungstyps und
- einem Gate (11), zu dem die Bodyzone (4) selbstjustiert ist,

d a d u r c h g e k e n n z e i c h n e t , dass

- die Bodyzone (4) mit wenigstens einem zusätzlichen Bodybereich (16, 17; 19) versehen ist, der sich unterhalb von der Bodyzone (4) in der Halbleiterschicht (2) befindet und den seitlichen Rand der Bodyzone (4) mindestens in Richtung auf die Drain-Anschlusszone (8) überragt.

20 2. LDMOS-Transistor nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t ,
dass mehrere zusätzliche Bodybereiche (16, 17) vorgesehen sind, die mit zunehmender Tiefe in der Halbleiterschicht (2) sich weiter auf die Drain-Anschlusszone (8) zu erstrecken.

25 3. LDMOS-Transistor nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t ,
dass der zusätzliche Bodybereich (19) unter einer RESURF-Zone (15') des einen Leitungstyps vorgesehen ist.

30 4. LDMOS-Transistor nach einem der Ansprüche 1 bis 3,

d a d u r c h g e k e n n z e i c h n e t ,
dass die Halbleiterschicht (2) über einen buried layer (3) des einen oder anderen Leitungstyps auf einem Halbleitersubstrat (1) vorgesehen ist.

5. LDMOS-Transistor nach einem der Ansprüche 1 bis 4,
d a d u r c h g e k e n n z e i c h n e t ,
dass sich Gate (11) über eine dicke Isolierschicht (9) er-
streckt.

5

6. LDMOS-Transistor nach einem der Ansprüche 1 bis 5,
d a d u r c h g e k e n n z e i c h n e t ,
dass der eine Leitungstyp der n-Leitungstyp ist.

10

7. LDMOS-Transistor nach einem der Ansprüche 1 bis 6,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Drain-Anschlusszone (8) in eine Pufferzone (7) des
einen Leitungstyps eingebettet ist.

15

8. LDMOS-Transistor nach einem der Ansprüche 1 bis 7,
d a d u r c h g e k e n n z e i c h n e t ,
dass die zusätzlichen Bodybereiche (16, 17; 19) im Abstand
von einem Buried Layer (3) angeordnet ist.

20

9. Verfahren zum Herstellen des LDMOS-Transistors nach einem
der Ansprüche 1 bis 8,
d a d u r c h g e k e n n z e i c h n e t ,
dass der wenigstens eine zusätzliche Bodybereich (16, 17; 19)
vor der Abscheidung einer polykristallinen Siliziumschicht
zur Bildung von Gate (11) durch mindestens eine Implantation
realisiert wird.

25

10. Verfahren nach zum Herstellen des LDMOS-Transistors nach
einem der Ansprüche 1 bis 8,
d a d u r c h g e k e n n z e i c h n e t ,
dass der wenigstens eine zusätzliche Bodybereich (16, 17; 19)
vor der Bildung einer dicken Isolierschicht (9) auf der Ober-
fläche der Halbleiterschicht (2) durch mindestens eine Im-
plantation realisiert wird.

30

35

11. Verfahren nach Anspruch 9 oder 10, zur Bildung des LDMOS-
Transistors nach Anspruch 3,

d a d u r c h g e k e n n z e i c h n e t ,

dass die Dotierung der RESURF-Zone (15') im Sourcebereich zur

5 Bildung der Bodyzone (4) gegendotiert wird.

Zusammenfassung

LDMOS-Transistor

- 5 Die Erfahrung betrifft einen LDMOS-Transistor, bei dem eine Bodyzone (4) mit zusätzlichen Bodybereichen (16, 17) versehen ist, so dass ein "tiefer Body" entsteht. Durch diesen tiefen Body wird ein quasi-eindimensionaler Verlauf der Potentiallinien (12) erreicht, so dass die Spannungsfestigkeit erhöht
- 10 wird. Die Selbstjustierung zwischen Gate und Kanal bleibt erhalten; Parameterschwankungen sind reduziert.

(Fig. 1)

Bezugszeichenliste

- 1 Siliziumsubstrat
- 2 Siliziumschicht
- 3, 3' buried layer
- 4 Bodyzone
- 5 Body-Anschlussgebiet
- 6 Sourcezone
- 7 Pufferzone
- 8 Drain-Anschlussgebiet
- 9 dicke Isolierschicht
- 10 dünne Isolierschicht
- 11 Gate
- 12 Potentiallinien
- 13 Bereich mit Durchbruch
- 14, 14' Wanne
- 15, 15' RESURF-Zone
- 16 zusätzlicher Bodybereich
- 17 zusätzlicher Bodybereich
- 18 Ausdehnung
- 19 zusätzlicher Bodybereich
- S Sourceelektrode
- G Gateelektrode
- D Drainelektrode

200213399

1/4

FIG 1

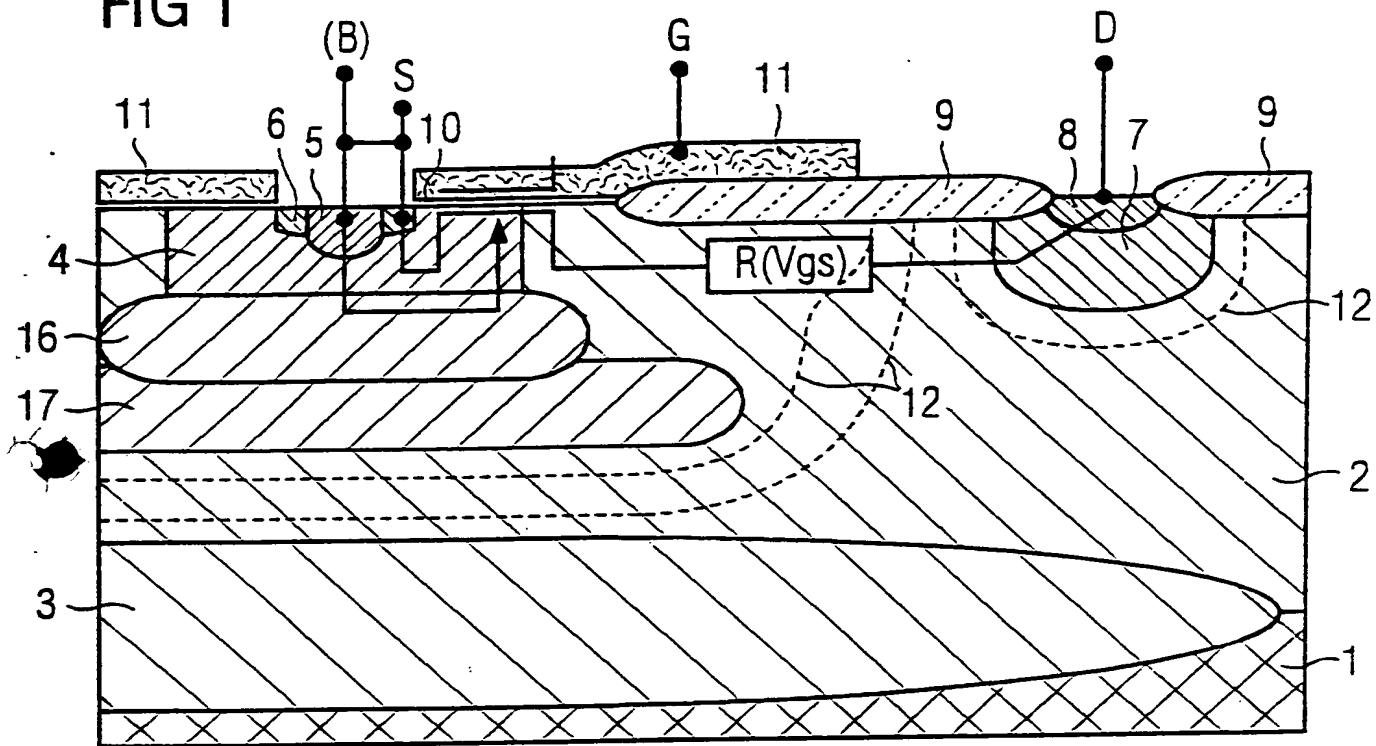
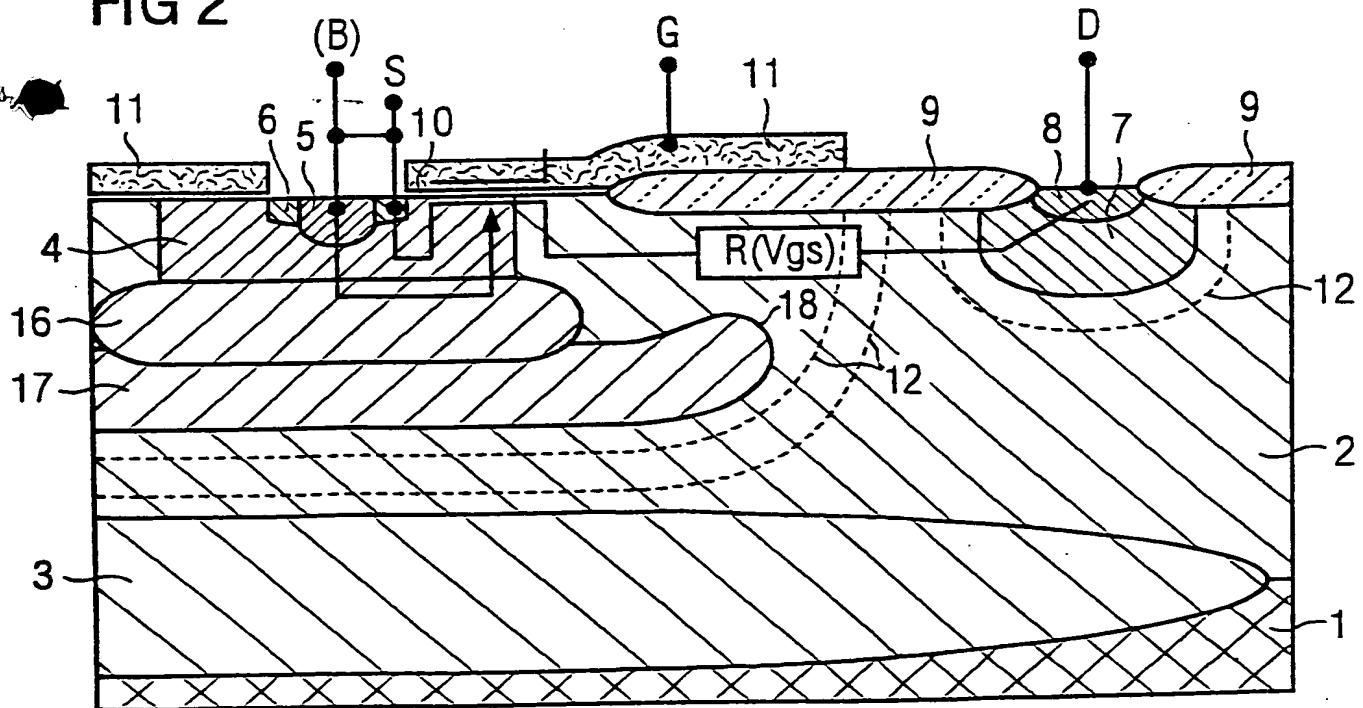


FIG 2



200213399

24

FIG 3

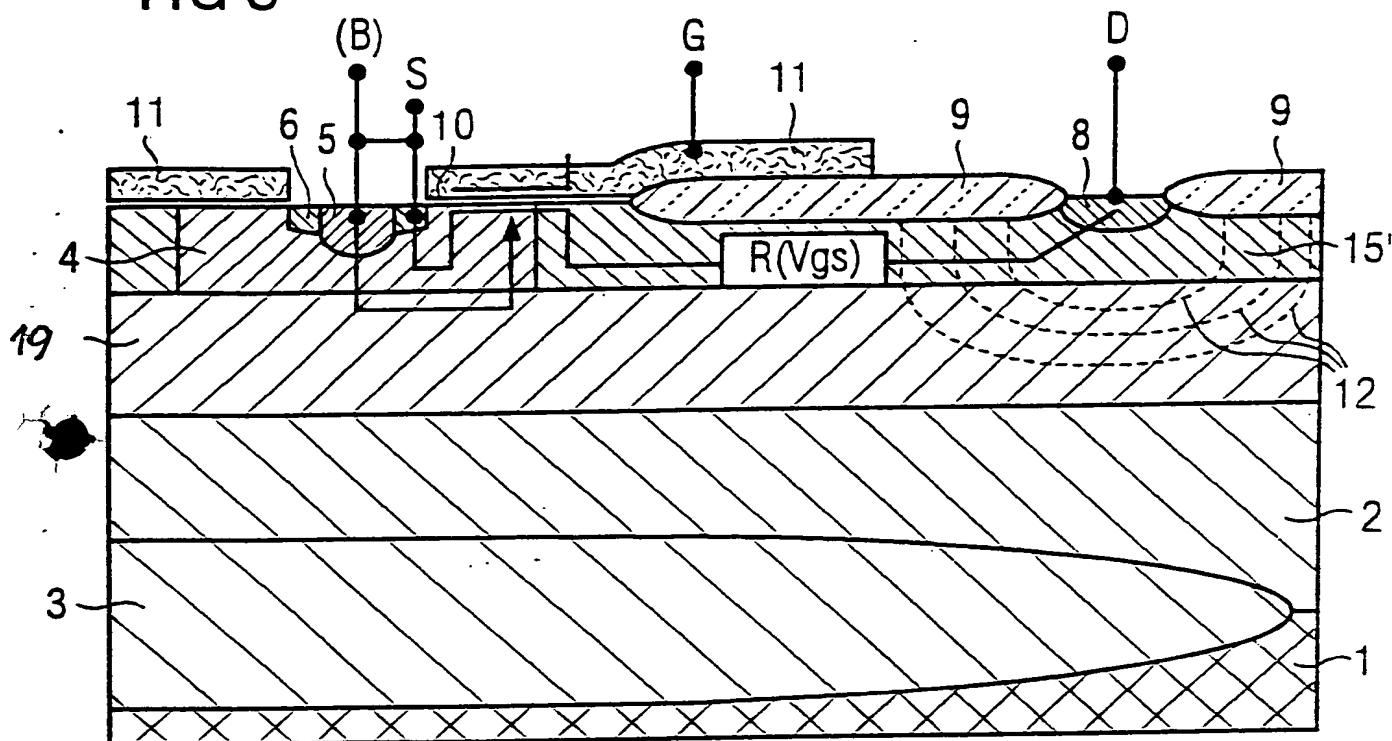
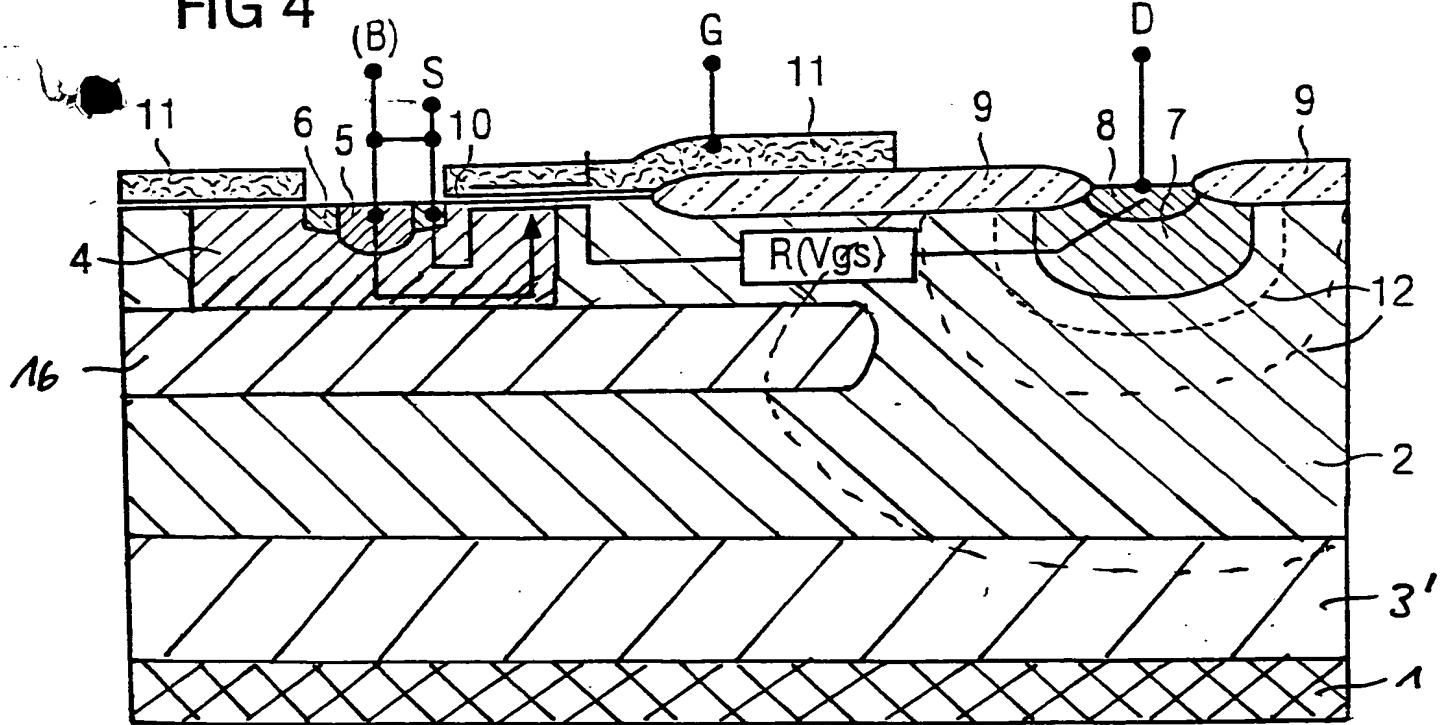


FIG 4



200213399

3/4

FIG 5

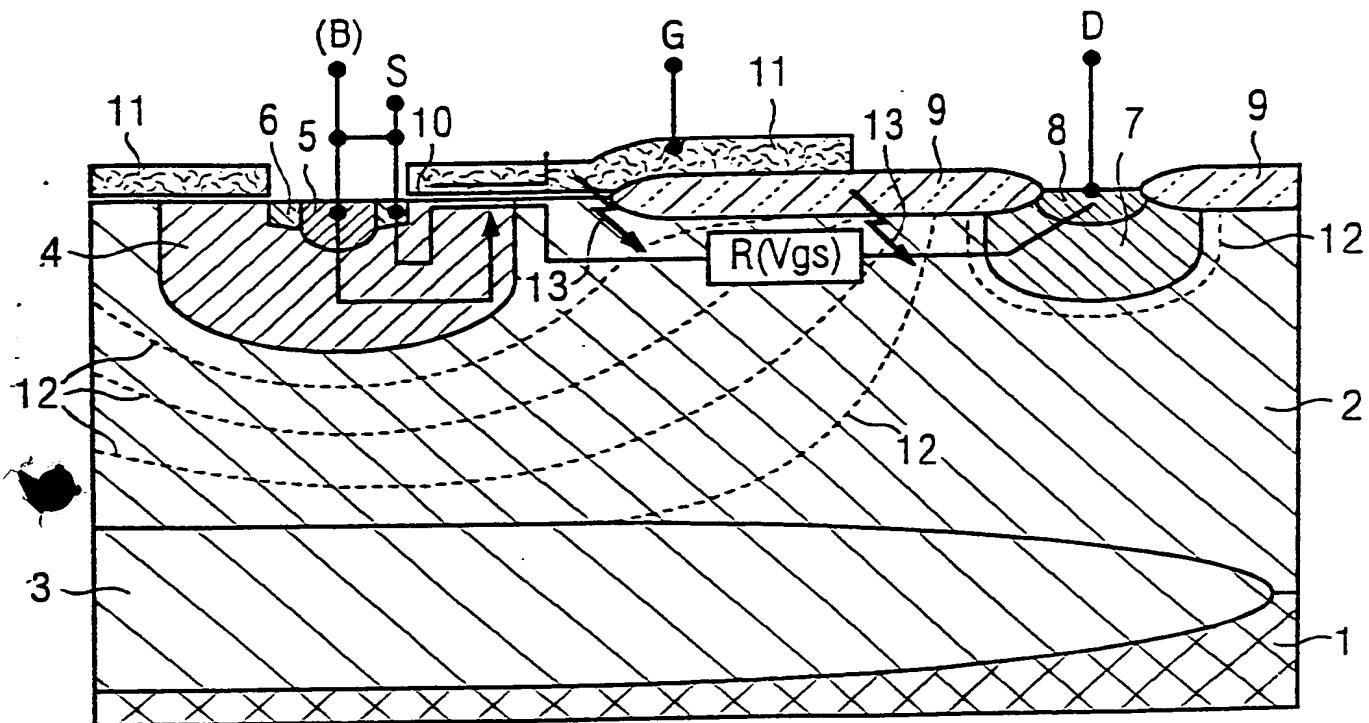
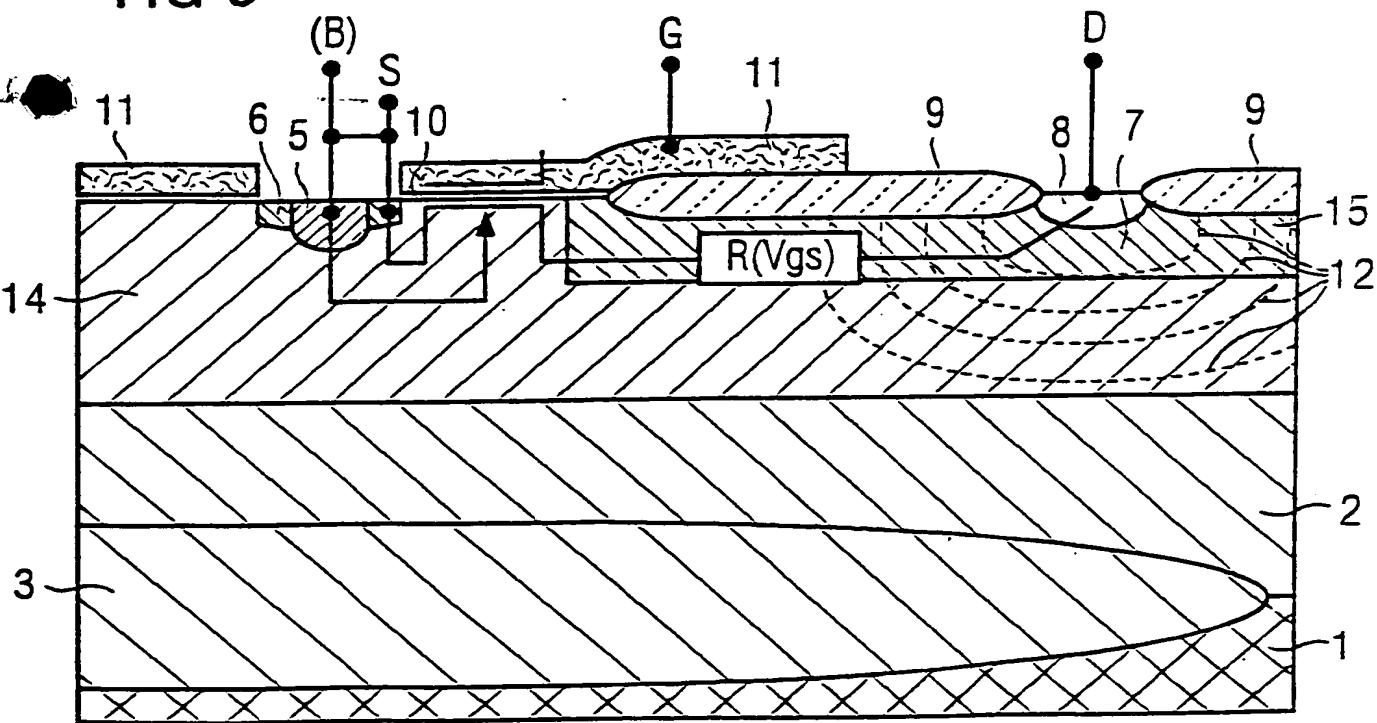


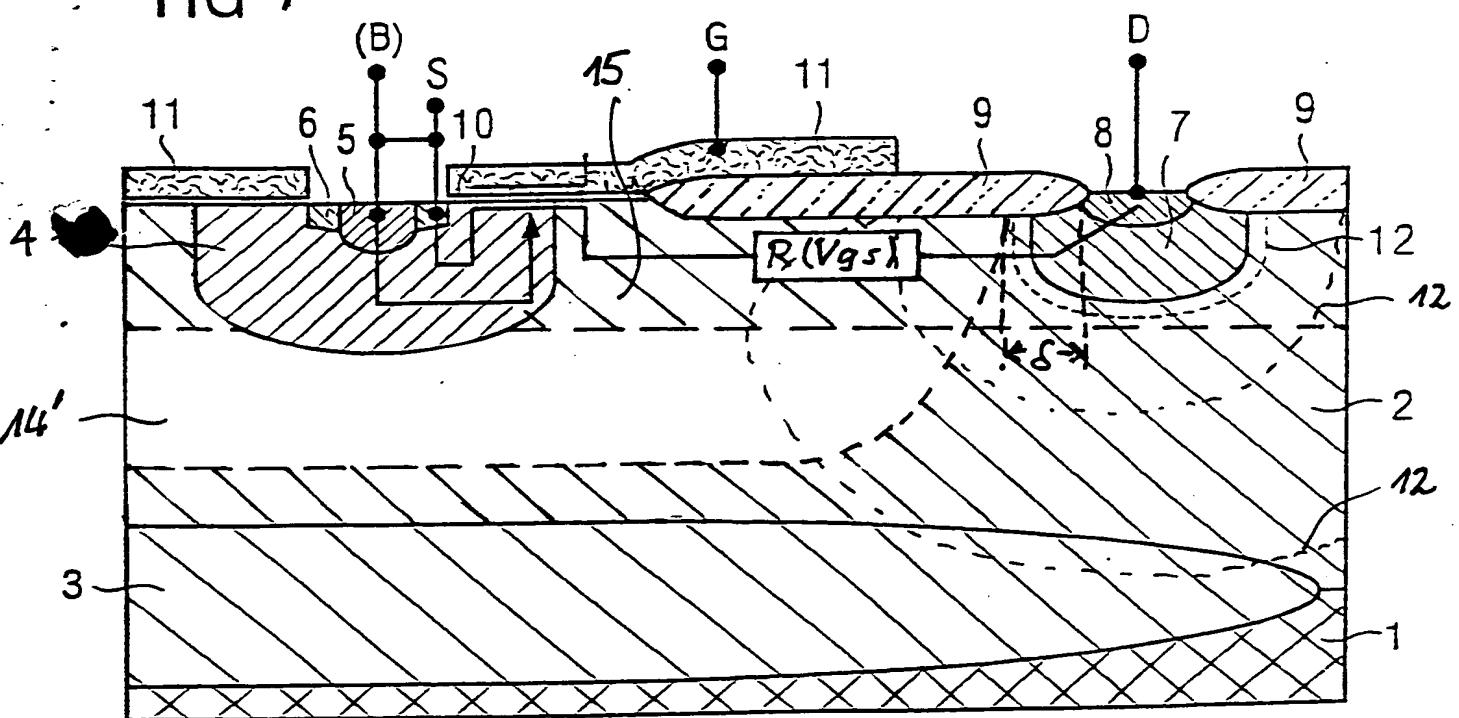
FIG 6



200213399

4/4

FIG 7



Figur für die Zusammenfassung

FIG 1

